

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YONG-SIK YOUN, ET AL.

Application No.:

Filed:

For: **AMPLIFIER AND METHOD FOR  
CANCELING NONLINEARITY IN  
AMPLIFIER**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2002-0083716	24 December 2002
Korea	2003-0007513	6 February 2003

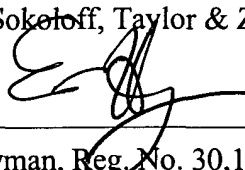
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/11/03

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

  
Eric S. Hyman, Reg. No. 30,139

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0083716  
Application Number

출원년월일 : 2002년 12월 24일  
Date of Application DEC 24, 2002

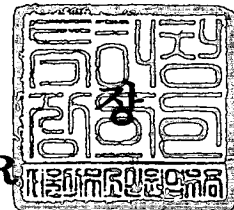
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2003      06      17      일  
          년      월      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002.12.24
【발명의 명칭】	증폭회로에서의 3차 비선형성 제거 기술
【발명의 영문명칭】	Third-order Nonlinearity Cancellation Techniques in Amplifier Circuits
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-038431-4
【발명자】	
【성명의 국문표기】	윤용식
【성명의 영문표기】	YOUN,YONG SIK
【주민등록번호】	690120-1178411
【우편번호】	305-752
【주소】	대전광역시 유성구 송강동 청솔아파트 207동 1210호
【국적】	KR
【발명자】	
【성명의 국문표기】	유현규
【성명의 영문표기】	YU,HYUN KYU
【주민등록번호】	580731-1683118
【우편번호】	305-755
【주소】	대전광역시 유성구 어은동 한빛아파트 115동 406호
【국적】	KR
【발명자】	
【성명의 국문표기】	박문양
【성명의 영문표기】	PARK,MUN YANG



**【요약서】****【요약】**

본 발명은, 일반적인 증폭 트랜지스터에 추가로 선형 트랜지스터를 병렬로 접속하여 3차 비선형성을 상쇄하여 제거하는 회로를 제공한다. 상기 병렬로 접속된 선형 트랜지스터의 3차 비선형 성분은 상기 증폭 트랜지스터와 유사한 크기에 반대 극성을 갖도록 조절되어야 하는데, 이를 구현하기 위하여 선형 트랜지스터의 게이트(또는 베이스)와 드레인(또는 컬렉터)에 서로 다른 극성의 신호가 인가됨이 바람직하다. 이와 같이 구성함으로써 회로의 성능에 큰 영향을 끼치지 않는 작은 크기의 선형 트랜지스터를 이용하면서도 회로의 비선형성을 제거할 수 있다. 또한, 요구되는 부가회로가 간단하여 추가적인 면적 소모를 줄이고, 전력소모 증가와 증폭이득 감소가 거의 없이 쉽게 이용 가능한 선형화 회로를 제공하는 장점을 갖는다.

**【대표도】**

도 3

**【색인어】**

증폭회로, 3차, 비선형성

## 【명세서】

## 【발명의 명칭】

증폭회로에서의 3차 비선형성 제거 기술{Third-order Nonlinearity Cancellation Techniques in Amplifier Circuits}

## 【도면의 간단한 설명】

도 1a는 단일 트랜지스터를 이용한 간단한 증폭회로

도 1b는 전류전압과 그 미분적인 비선형 특성도.

도 2는 비선형적인 3차항 제거 방법의 일례 회로도.

도 3은 비선형적인 3차항 제거 방법의 발명 회로도.

도 4는 도 2와 도 3에서 비선형 발생부 전류( $I_{o-}$ )의 파형도.

도 5a는 직류신호(0Hz)에서의 도 3 모의실험 파형도.

도 5b는 교류신호(2.5GHz)의 도 3 모의실험 파형도.

도 6a는 단신호에 적용된 도 3의 응용 회로도.

도 6b는 쌍신호에 적용된 도 3의 응용 회로도.

※ 도면의 주요부분에 대한 부호의 설명 ※

$V_{in}$  : 입력전압       $I_{out}$  : 출력전류

$V_{bias}$  : 거친(coarse) 조절의 직류전압원    $V_{ctr}$  : 미세(fine) 조절의 직류전압원

$V_{off}$  : 교류통과와 직류방해의 오프셋(offset) 직류전압

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 회로의 설계에 관한 것으로, 트랜지스터의 3차 비선형성을 제거하기 위한 방법과 그 응용회로에 관한 것이다.
- <15> 반도체(semiconductor)를 이용한 아날로그(analog) 집적회로(Integrated Circuit; IC)의 설계에 있어서 고려되어야 할 중요한 사항 중의 하나는 입력신호를 왜곡(distortion)시키지 않으며 가공 처리하여 출력으로 내보내는 것으로 이를 회로의 선형성(linearity)이라 한다. 이상적인 회로에서는 출력신호  $y$ 가 입력신호  $x$ 와  $y=gx$ 의 선형 함수 관계를 갖는데 반하여, 실제 회로에서의 입출력 관계는  $y = g_1x + g_2x^2 + g_3x^3$  과 같이 테일러(Taylor) 시리즈로 전개된다. 여기서 거듭제곱항(power terms;  $g_2x^2$ ,  $g_3x^3$ )은 실제 회로의 비선형 왜곡을 나타낸다.
- <16> 현재 디지털 통신에 있어서, 아날로그 신호는 디지털 값을 변조(modulation)하여 생성되고 다시 아날로그 신호를 복조(demodulation)하여 디지털 값을 생성하는데, 대부분의 통신시스템에서 입출력이 반드시 선형함수의 관계에 있지 않다 하더라도 변복조에 큰 문제를 갖지 않는다. 그러나, 3차 비선형성에 있어서는 인접채널(adjacent channel) 신호와의 상호변조(intermodulation)에 의하여 송수신하고자 하는 대역에서 신호의 왜곡이 발생하므로 특히 중요해 진다. 2차 비선형성에 있어서는, 일반적으로 집적회로 설계는 대부분 쌍신호(differential signal) 처리를 기본으로 하여 2차 성분이 그다지 생기

지 않을 뿐 아니라, 직접변환(direct conversion)방식을 제외한 현재 대부분의 무선통신 방식에서 신호의 변복조에 크게 문제되지 않는다.

<17> 회로의 높은 선형성을 위해서는 직류전류(dc current)를 크게 하는 것이 일반적인 방법이다. 그러나, 낮은 값의 전력소모가 강조되는, 특히 전지(battery) 구동의 휴대용에 있어서는, 직류 평균전류를 증가시켜 높은 선형성을 얻는 것은 바람직하지 못하다. 따라서, 이용되는 반도체 공정 자체의 선형특성에 의한 선형성을 얻거나 또는 선형성을 개선하기 위한 별도의 부가적인 회로가 요구된다. 선형성을 개선하기 위한 회로적인 기술은 큰 신호를 처리하여 선형성이 가장 강조되는 전력증폭기(power amplifier) 등에 주로 국한되어 개발되었다. 그러나, 전력증폭기 등에 이용되는 회로는 회로가 복잡하여 소요되는 반도체의 면적이 증가하거나 전력소모가 추가적으로 증가하므로, 저전력 저가격 집적화에 상당한 어려움이 있다. 또한, 논문 등에 발표된 회로들인 경우에도 상당히 간단한 회로들이 있으나, 3차 비선형성의 개선되는 점에 비하여 증폭이득이 줄어들거나 전력소모가 증가하는 등 효과적인 개선과는 거리가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 간단한 구조의 부가회로를 추가하여 반도체의 적은 면적만을 이용하면서 트랜지스터의 3차 비선형성을 제거하는 회로를 제공하는 것을 목적으로 한다.

<19> 본 발명의 또 다른 목적은 트랜지스터의 3차 비선형성을 제거하는 여러 방법 중에서 전력소모 증가와 증폭이득 감소가 거의 없이 간단하여 쉽게 이용 가능한 선형화 회로를 제공하는 것이다.



## 【발명의 구성 및 작용】

- <20> 3차의 상호변조(intermodulation)는 근본적으로  $i_{out} = g_1 v_{in} + g_2 v_{in}^2 + g_3 v_{in}^3$  로 표시되는 트랜지스터의 전류전압 특성의 비선형성으로부터 기인한다. 본 발명은 트랜지스터 제조 공정에 관계없이 적용될 수 있으나, 설명의 편의상 금속 산화막 전계효과 트랜지스터 (Metal Oxide Semiconductor Field Effect Transistor; MOSFET)에 국한하여 설명한다.
- <21> 도 1(a)는 단일 트랜지스터를 이용하여 가장 간단한 전형적인 공통소오스형 증폭회로를 도시하고, 도 1(b)는 그 전류전압의 미분적인 비선형 특성을 도시하며 G1에서 G3까지는 상기 수식의  $g_1$ 에서  $g_3$ 까지의 직류적인 표현이다. 도 1(a)의 회로는 설명의 편의상 보편적인 캐스코드(cascode) 구조를 이용하여 구성되었고, 상보성(complementary) MOSFET 0.25 $\mu$ m 공정에서의  $M_1=M_2=200\mu/0.25\mu$ 이고  $V_{bias}=2.5V$ 인 경우이다. 일반적으로, 도 1(b)에서 이용 가능한 동작영역은 소모전력(power loss)과 증폭이득(signal gain)의 적절한 관계로부터 결정되어 입력전압  $V_{in}$ 이 0.7V 정도로 정해진다. 입력전압이 0.7V보다 높은 구간에서는 출력전류  $I_{out}$ 이 너무 커서 소모전력이 증가하고, 입력전압이 0.7V보다 낮은 구간에서는 G1이 너무 작아서 증폭이득이 감소하므로 이들 요소의 타협(trade-off)에 의해 입력전압 0.7V 정도가 적당해진다. 그러나, 이 값에서는 본 발명에서 제거하고자 하는 3차 비선형성의 크기를 나타내는 G3의 절대값이 정상적인 능동영역(active region)에서 최대가 되어 그 자체로서는 높은 선형성을 얻기에 어려움이 있으므로 비선형성의 제거가 더욱 절실히 된다. 도 1(b)의 동작영역에서 G3를 제거하기 위해서는 같은 크기를 가지며 극성이 반대인 G3가 중첩하여 서로 상쇄되어야 한다. 따라서, 본

발명에서는 능동영역의  $G3$ 를 보상하여 상쇄하기 위하여, 도 1(b)에서 보이는 바와 같이 유사한 크기와 모양이며 극성이 반대인 선형영역(linear region)의  $G3$ 를 이용하였다.

<22>      상기한 동작은 본 발명의 실시 예에 따른 도 2에 의하여 달성되는데, 앞으로의 모든 설명을 위하여, M1을 증폭(amplifying) 트랜지스터로, M2를 캐스코드(cascode) 트랜지스터로, M3를 선형(linear) 트랜지스터로, M4를 스택(stack) 트랜지스터로 정의한다. 도 2에서와 같이 상기한 목적은 도 1(a)의 증폭 트랜지스터(M1)에 추가하여 선형영역 트랜지스터(M3)와 그 위에 스택(stack)된 트랜지스터(M4)를 병렬로 연결하고, 그 각각의 게이트(gate)에는 입력전압( $V_{in}$ )과 직류전압원( $V_{bias}$ )을 독립적으로 인가함으로써 구현될 수 있다. 도 2에서  $V_{off}$ 은 교류통과(ac coupling)와 직류방해(dc blocking)로 신호만을 전달하는 오프셋(offset) 직류전압을 의미하고, 하나의 방법으로 커패시터(capacitor)와 직류전압원을 갖는 저항(resistor)의 직렬 연결로 증가화되어 구현될 수 있다. 또한,  $V_{ctr}$ 은 트랜지스터(M3)의 선형영역 동작을 보장하고 미세하게 조절되는 직류전압원을 의미한다. 모의실험(simulations)에 의하면 선형영역에서 동작하는 트랜지스터의 3차 비선형성은 직류전류에 관계없이  $G3$ 의 최대값이 그다지 변하지 않는다. 따라서, 선형영역의 트랜지스터에 작은 직류전류만이 흘러도, 능동영역  $G3$ 를 상쇄시킬 수 있는 선형영역  $G3$ 를 얻을 수 있다. 만약, 선형영역의 트랜지스터에 흐르는 직류전류가 감소할수록 그  $G3$ 의 최대값이 감소한다면, 큰 값을 갖는 능동영역의  $G3$ 를 상쇄시키기 위하여 선형영역의 트랜지스터는 더욱 큰 직류전류를 필요로 하므로

소모전력이 증가하여 실제적으로 이용할 수 없다. 상기의 장점에도 불구하고, 도 1(b)에서 볼 수 있듯이, 선형영역  $G3$  최대값이 능동영역  $G3$  최대값의 반 정도밖에 이르지 못하여, 증폭 트랜지스터(M1) 크기의 두 배에 해당하는 선형 트랜지스터(M3)를 필요로 한다. 이것은 마치 낮은 cutoff 주파수  $f_T$  ( $gm/C_{gs}$ )를 갖는 트랜지스터를 이용하는 것과 같아서, 회로의 성능을 떨어뜨리는 역할을 한다. 왜냐하면, 큰 크기에도 불구하고 작은 증폭 이득을 갖는 선형 트랜지스터(M3)의 추가로 인하여, 전체적인  $gm$  증가보다 훨씬 크게  $C_{gs}$ 가 증가하기 때문이다.

<23>      상기한 목적은 본 발명에 따른 도 3에 의하여 달성되는데, 선형 트랜지스터(M3)와 스택 트랜지스터(M4)의 게이트(gate)를 각각 반대 극성을 갖는 두 개의 신호로 구동하여, 결국 선형 트랜지스터(M3)의 게이트(gate)와 드레인(drain)을 각각 정신호( $V_{in+}$ )와 반신호( $V_{in-}$ )로 구동하는 것이다. 도 2와 도 3의 선형 트랜지스터(M3)에 흐르는 전류( $I_{o-}$ )가 도 4에 도시되었다. 선형 트랜지스터(M3)가 선형영역에 더 깊이 있을수록 그 전류( $I_{o-}$ )는 정신호의 게이트 전압보다는 반신호의 드레인 전압에 의존하므로, 도 3의 전류( $I_{o-}$ )는 도 2의 전류( $I_{o-}$ )와는 달리 감소하는 궤적을 갖고 전체적인  $G1$ 은 오히려 감소한다. 그러나, 반대 극성의 결합된 두 신호에 의하여 도 3 전류( $I_{o-}$ )의 궤적은 더욱 급격히 변화하므로, 수 배 이상의 더욱 큰 값을 갖는  $G3$ 를 얻을 수 있다. 따라서, 증폭작용을 하는 능동영역 트랜지스터(M1)의  $G3$ 와 상쇄하는데 필요한 선형영역  $G3$ 를 얻기 위하여, 수 배 이상의 더욱 작은 크기의 선형 트랜지스터(M3)를 이용하는 것이 가능해진다. 작은 크기의 선형 트랜지스터(M3)를 이용한다는 것은 상기의 설명에서와 같이, cutoff 주

파수  $f_T$  (gm/Cgs)의 감소를 작게하여 높은 선형성을 얻음에도 불구하고 회로의 성능 저하를 최소화시키는 장점을 갖는다. 도 5(a)와 도 5(b)는 본 발명에 따른 도 3 회로의 직류(dc=0Hz)와 교류(ac=2.5GHz)에서의 모의 실험결과를 각각 도시하고, 3차 비선형항이 상쇄 제거되어 최종의 직류에서의  $G3$ 와 교류에서의  $g3$ 가 아주 작은 값을 가짐을 알 수 있다.

<24> 도 6(a)와 도 6(b)는 본 발명 도 3의 응용 예에 따른 단신호(single signal)와 쌍신호(differential signal)인 경우를 각각 도시한다. 도 6(a)의 단신호용 회로에서는 입력신호와 결합되어 이용되는 반대 극성 신호로 증폭 트랜지스터(M1) 드레인(drain)의 신호 전압을 이용하여 구현하였다. 쌍신호인 경우에 있어서는, 도 6(a)를 좌우대칭으로 간단히 추가하여 구현될 수 있지만, 입력되는 자체의 쌍신호를 이용하여 도 6(b)와 같이 더욱 효과적으로 상기의 목적을 달성할 수 있다.

<25> 상기의 모든 도에서, 스택 트랜지스터의 드레인(drain)이 캐스코드(cascode) 트랜지스터의 소오스(source)가 아니라 드레인(drain)에 연결되거나, 오프셋(offset) 직류전압  $V_{off}$ 이 단락되어 이용되어도 상기 발명의 목적에 부합하므로 본 발명의 범위에 포함되어야 한다. 한편, 도 6(a)의 단신호용 회로에서는 오프셋(offset) 직류전압  $V_{off}$ 이 단락되는 경우, 선형 트랜지스터(M3)의 선형영역 동작을 보장하기 위하여 미세하게 조절 가능한  $V_{ctr}$ 을 게이트 직류전압으로 갖는 캐스코드(cascode) 트랜지스터(M2)가 반드시 필요해진다. 또한, 병렬 연결된 증폭 트랜지스터와 선형 트랜지스터의 공통 소오스(source)와 접지(gnd) 사이에, 회로의 성능개선을 목적으로 저항(resistor)이나 인덕터(inductor) 등을 추가하여도 본 발명의 응용 범위에 포함되어야 한다.

<26> 위에서 바람직한 실시예에 근거하여 본 발명을 설명하였지만, 이러한 실시예는 본 발명을 제한하려는 것이 아니라 예시하려는 것이다. 본 발명이 속하는 분야에서 통상의 지식을 가진 자에게는 본 발명의 기술사상을 벗어남이 없이 상기 실시예에 대한 다양한 변화나 변경 또는 조절이 가능함이 자명할 것이다. 그러므로, 본 발명의 보호범위는, 첨부된 청구범위에 의해서만 한정되는 것이 아니라, 위와 같은 변화예나 변경예 또는 조절예를 모두 포함하는 것으로 해석되어야 할 것이다.

#### 【발명의 효과】

<27> 상기한 본 발명에 의하면, 증폭 트랜지스터에 추가로 선형 트랜지스터를 병렬로 접속하여 3차 비선형성을 상쇄하여 제거하는 회로를 제공한다. 따라서, 본 발명에 따르면, 간단한 구조의 부가회로를 이용함으로써 추가적인 면적 소모를 줄이고, 전력소모 증가와 증폭이득 감소가 거의 없이 쉽게 이용 가능한 선형화 회로를 제공하는 장점을 갖는다.

**【특허청구범위】****【청구항 1】**

신호 증폭용 트랜지스터의 3차 비선형성을 제거하기 위한 선형화 회로에 있어서,  
능동영역(active region)의 상기 증폭 트랜지스터에, 선형영역(linear region)에서 동작하는 하나의 트랜지스터와 그 위에 스택(stack)하여 선형영역을 조절하고 보장하는 또 하나의 트랜지스터를 추가하여 상기 증폭 트랜지스터와 병렬로 접속하고, 상기 선형 트랜지스터의 게이트(또는 베이스)에 입력신호를 직접 또는 간접으로 인가하는 것을 특징으로 하는 3차 비선형성 제거 회로.

**【청구항 2】**

신호 증폭용 트랜지스터의 3차 비선형성을 제거하기 위한 선형화 회로에 있어서,  
능동영역(active region)의 상기 증폭 트랜지스터에, 선형영역(linear region)에서 동작하는 하나의 트랜지스터와 그 위에 스택(stack)하여 선형영역을 조절하고 보장하는 또 하나의 트랜지스터를 추가하여 상기 증폭 트랜지스터와 병렬로 접속하고, 상기 선형 트랜지스터와 스택 트랜지스터의 게이트(또는 베이스)에 반대 극성을 갖는 두 개의 신호를 직접 또는 간접으로 인가하는 것을 특징으로 하는 3차 비선형성 제거 회로.

**【청구항 3】**

제1항 또는 제2항에 있어서,  
선형 트랜지스터의 게이트(또는 베이스)에서 입력신호의 간접 구동을 위한 방법으로, 교류통과(ac coupling)와 직류방해(dc blocking)의 동작을 하는 커패시터

(capacitor)로 구현하고 이 커패시터에 직류전압원이 인가된 저항을 직렬 연결하여 오프셋(offset) 직류전압을 갖도록 구성한 회로.

**【청구항 4】**

제1항 또는 제2항에 있어서,

서로 병렬 접속된 증폭 트랜지스터와 선형 트랜지스터의 공통 소오스(source)와 접지(gnd) 사이에, 회로의 성능개선을 목적으로 저항(resistor)이나 인덕터(inductor) 등을 추가하여 구성한 회로.

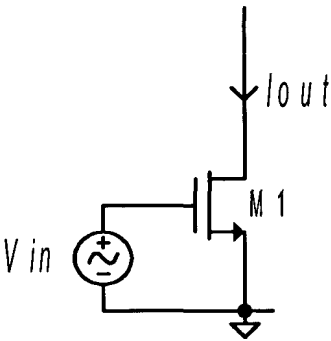
**【청구항 5】**

제2항에 있어서,

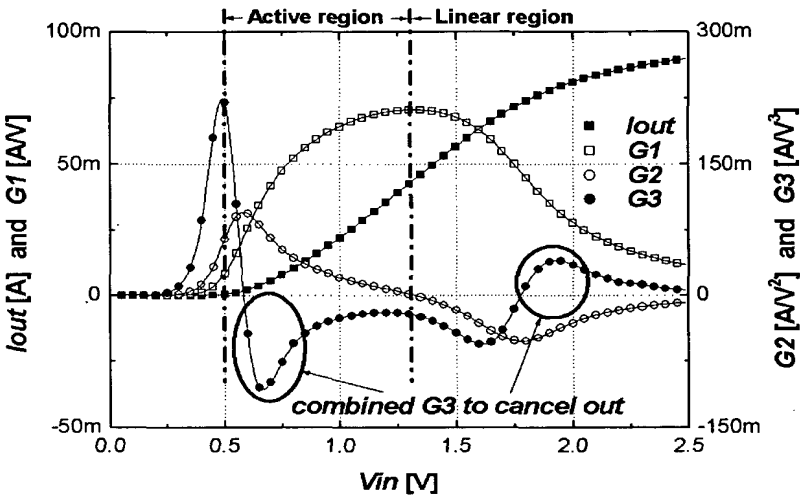
반대 극성을 갖는 두 개의 신호로, 단신호 입력인 경우는 입력되는 정극성의 신호와 증폭 트랜지스터의 드레인(drain)에서 발생하는 반극성의 신호를 이용하고, 쌍신호 입력인 경우는 입력되는 쌍신호 자체를 이용하는 회로.

【도면】

【도 1a】

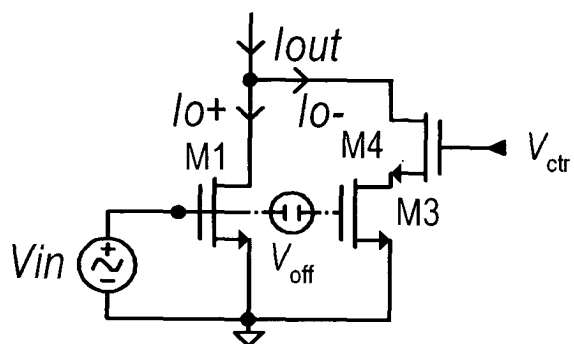


【도 1b】

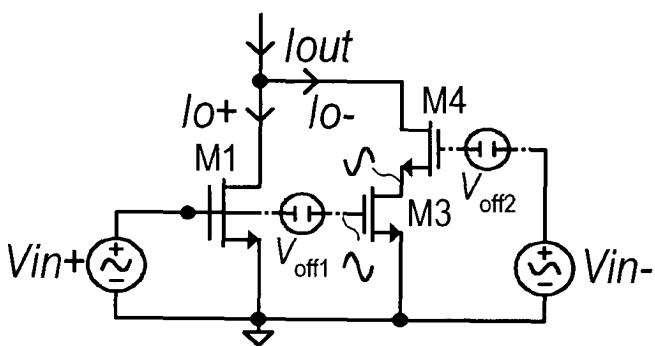




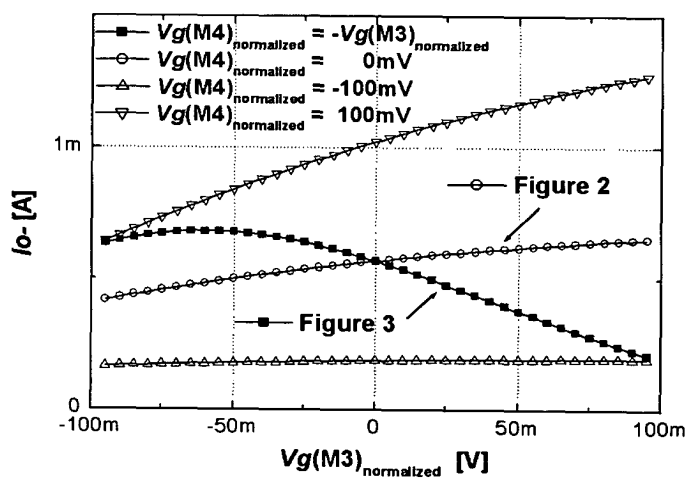
【도 2】



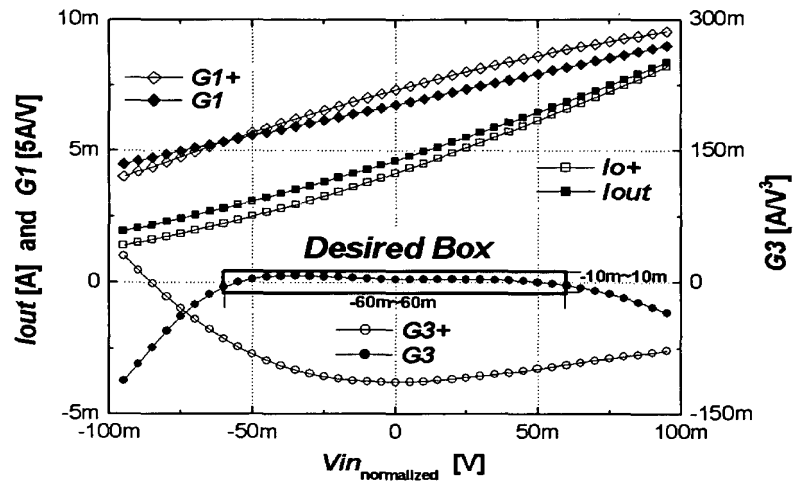
【도 3】



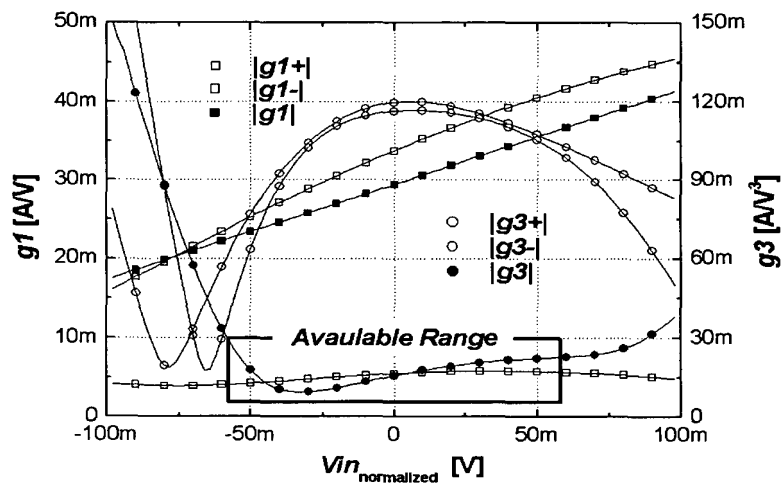
【도 4】



【도 5a】



【도 5b】



The figure contains two circuit diagrams of a differential amplifier. Both diagrams have an input signal  $V_{in}$  connected to the gates of transistors M1 and M3. The gates of M2 and M4 are connected to a common-mode bias voltage. In the left diagram, the bias voltage is  $V_{bias}$ . In the right diagram, it is  $V_{ctr}$ . The source of M1 is connected to the source of M3 through a resistor labeled  $V_{off1}$ . The source of M2 is connected to the source of M4 through a resistor labeled  $V_{off2}$ . The output current  $I_{out}$  is taken from the node between M2 and M4. The output is labeled  $I_{out}$  in both diagrams.

The diagram shows a differential-mode amplifier circuit. It consists of a differential pair of NMOS transistors, M1 and M2, whose sources are connected to a common ground. The gates of M1 and M2 are driven by a differential-mode input signal,  $V_{in+}$  and  $V_{in-}$ . The drains of M1 and M2 are connected to PMOS load transistors, M7 and M8, respectively. The gates of M7 and M8 are biased at  $V_{off1}$ . The sources of M7 and M8 are connected to a common source node, which is biased at  $V_{off2}$ . The differential-mode output signal is taken from the drains of M7 and M8, labeled  $I_{out+}$  and  $I_{out-}$ .